

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-067578

(43)Date of publication of application : 03.03.2000

(51)Int.Cl. G11C 11/408  
H02M 3/07  
H03K 19/094

(21)Application number : 11-173369

(71)Applicant : SAMSUNG ELECTRONICS CO LTD

(22)Date of filing : 18.06.1999

(72)Inventor : RYU KUN

(30)Priority

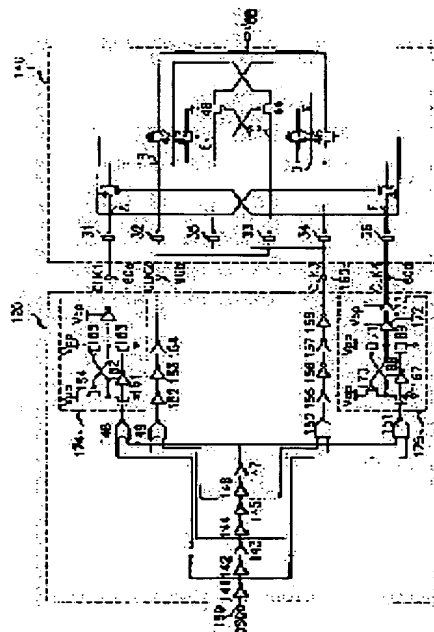
Priority number : 98 9823112 Priority date : 19.06.1998 Priority country : KR

## (54) SUBSTRATE BIAS VOLTAGE GENERATING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a substrate bias voltage generating circuit of a semiconductor device having high pumping efficiency.

SOLUTION: This device is a circuit generating substrate bias voltage used for a semiconductor device formed on a semiconductor substrate, and comprises an output node VBB connected to a semiconductor substrate, a circuit 120 generating at least one rectangular waveform signal including a period of a higher voltage level VPP than power source voltage level VCC, and an electric charge pump circuit 140 connected to the output node VBB and pumping electric charges to the output node VBB by a rectangular signal.



## LEGAL STATUS

[Date of request for examination] 28.05.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-67578  
(P2000-67578A)

(43) 公開日 平成12年3月3日 (2000.3.3)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
G 1 1 C 11/408		G 1 1 C 11/34	3 5 4 G
H 0 2 M 3/07		H 0 2 M 3/07	
H 0 3 K 19/094		H 0 3 K 19/094	D

審査請求 未請求 請求項の数9 O L (全 9 頁)

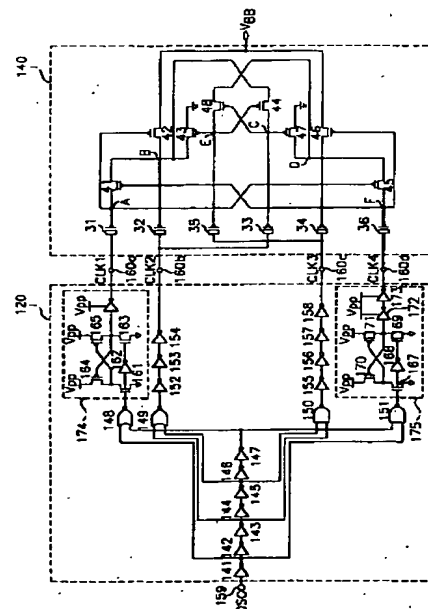
(21) 出願番号	特願平11-173369	(71) 出願人	390019839 三星電子株式会社 大韓民国京畿道水原市八達区梅灘洞416
(22) 出願日	平成11年6月18日 (1999.6.18)	(72) 発明者	柳 勲 大韓民国京畿道水原市八達区梅灘4洞東南 アパート3-310
(31) 優先権主張番号	98-23112	(74) 代理人	100076428 弁理士 大塚 康德 (外1名)
(32) 優先日	平成10年6月19日 (1998.6.19)		
(33) 優先権主張国	韓国 (K R)		

(54) 【発明の名称】 基板バイアス電圧発生回路

(57) 【要約】

【課題】 高いポンピング効率を有する半導体装置の基板バイアス電圧発生回路を提供する。

【解決手段】 半導体基板上に形成された半導体装置で使用するための基板バイアス電圧を発生する回路であって、半導体基板に連結された出力ノード  $V_{BB}$  と、電源電圧レベル  $V_{CC}$  より高い電圧レベル  $V_{PP}$  の期間を含む少なくとも1つの矩形波信号を発生する回路120と、出力ノード  $V_{BB}$  に連結され、矩形波信号によって出力ノード  $V_{BB}$  に電荷をポンピングする電荷ポンプ回路140とを含む。



**【特許請求の範囲】**

**【請求項1】** 半導体基板上に素子が形成されてなる半導体装置で使用するための基板バイアス電圧を発生する基板バイアス電圧発生回路において、前記半導体基板に連結された出力ノードと、電源電圧レベルより高い電圧レベルの期間を含む少なくとも1つの矩形波信号を発生する信号発生手段と、前記出力ノードに連結され、前記矩形波信号を利用して前記出力ノードに電荷をポンピングする電荷ポンプ回路とを備え、前記電荷ポンプ回路のポンプ効率は、前記電源電圧レベルが低くなっても改善されることを特徴とする基板バイアス電圧発生回路。

**【請求項2】** 前記信号発生手段は、外部から印加される発振信号に応じて、前記電源電圧レベルの矩形波信号を発生する矩形波信号発生器と、前記矩形波信号の電圧レベルを前記電源電圧レベルより高い電圧レベルに変換するレベル変換器と、を含むことを特徴とする請求項1に記載の基板バイアス電圧発生回路。

**【請求項3】** 半導体基板上に素子が形成されてなる半導体メモリ装置で使用するための基板バイアス電圧を発生する基板バイアス電圧発生回路において、前記半導体基板に連結された出力ノードと、外部から印加される発振信号に応じて、電源電圧レベルの期間を含む少なくとも1つの矩形波信号を発生する信号発生手段と、前記矩形波信号の電圧レベルを前記電源電圧レベルより高い電圧レベルに変換する変換手段と、前記出力ノードに連結されたトランジスタを通して前記出力ノードからの電荷が供給される端子を有し、前記変換手段によって電圧レベルが高められた矩形波信号に応じて前記トランジスタを駆動して、前記端子から前記出力ノードに電荷をポンピングする電荷ポンプ回路と、を備えることを特徴とする基板バイアス電圧発生回路。

**【請求項4】** 前記変換手段は、レベルシフト回路を含むことを特徴とする請求項3に記載の基板バイアス発生回路。

**【請求項5】** 前記トランジスタは、PMOSトランジスタを含むことを特徴とする請求項3に記載の基板バイアス発生回路。

**【請求項6】** 前記変換手段は、前記電源電圧を使用して内部的に前記高い電圧レベルの電圧を発生する手段を含むことを特徴とする請求項3に記載の基板バイアス電圧発生回路。

**【請求項7】** 半導体基板上に素子が形成されてなる半導体装置で使用するための基板バイアス電圧を発生する基板バイアス電圧発生回路において、前記基板バイアス電圧を出力する出力ノードと、外部から印加される発振信号に応じて、各々が電源電圧

レベルの期間を有する第1乃至第4クロック信号を発生するクロック発生回路と、

前記出力ノードに連結されたトランジスタを通して前記出力ノードからの電荷が供給される端子を有し、前記第1乃至第4クロック信号に応じて、前記トランジスタを通して前記端子から前記出力ノードに電荷をポンピングする電荷ポンプ回路とを含み、

前記クロック発生回路は、少なくとも2つの電圧レベル変換器を含み、前記各電圧レベル変換器は、前記第1及び第4クロック信号のうち該当するクロック信号を電圧レベルを前記電源電圧より高い電圧レベルに変換することを特徴とする回路。

**【請求項8】** 前記第1及び第2クロック信号は、同一の位相を有する反面、相異なるパルス幅を有し、前記第3及び第4クロック信号は、同一の位相を有する反面、相異なるパルス幅を有し、前記第1及び第2クロック信号の位相は、前記第3及び第4クロック信号に相補的なことを特徴とする請求項7に記載の回路。

**【請求項9】** 前記高い電圧レベルは、前記電源電圧レベルと前記トランジスタのスレショルド電圧との加算値以上であることを特徴とする請求項7に記載の回路。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、半導体装置に関するものであり、より詳しくは半導体メモリ装置の基板バイアス電圧発生回路に関するものである。

**【0002】**

**【従来の技術分野】** 半導体メモリ装置のうち、ダイナミックランダムアクセスメモリ (dynamic random access memory: DRAM) が形成される半導体チップ (semiconductor chip) には、負の電圧を発生する基板バイアス電圧 (バックバイアス (back-bias) 或いは逆バイアス (reverse-bias) ともいう) 発生回路 (substrate bias voltage generating circuit) が備えられる。

**【0003】** DRAMが形成される基板に負の電圧が印加されるとき、得られる幾つの利点は、次の通りである。

**【0004】** 1) 金属-酸化物-半導体電界効果トランジスタ (Metal-Oxide-Semiconductor Field Effect Transistor; 以後、MOSトランジスタと称する) のボディ効果 (body effect) に起因するスレショルド電圧 (threshold voltage) の変化が最小化される。

**【0005】** 2) パンチスルー電圧 (punch-through voltage) が高くなる。

**【0006】** 3) 接合キャパシタンス (junction capacitance) が減少して動作速度が向上

される。

【0007】4) サブスレショルド電流 (sub-threshold current) が減少する。

【0008】5) TTL (transistor-transistor logic) レベルの入力電圧がアンダシュート (undershoot) するときに発生する順方向バイアスが抑制されてアンダシュートのため半導体チップの損傷が防止される。

【0009】6) DRAMのメモリセルに対するダイナミックリフレッシュ (dynamic refresh) 特性が強化される。

【0010】結果的に、一定な負の電圧で半導体基板をバイアスする基板バイアス電圧発生回路が半導体チップに提供されることによってDRAMの性能が全般的に向上することは、当業者にとって自明である。

【0011】図1は、従来技術による基板バイアス電圧発生回路の構成を示すブロック図である。図1を参照すると、基板バイアス電圧発生回路1は、発進器 (oscillator) 10、クロック信号発生器 (clock signal generator) 12、電荷ポンプ回路 (charge pump circuit) 14、及び検出器 (detector) 16を含む。

【0012】半導体基板 (不図示) に連結された検出器16からの出力信号ENが発振器10に印加されるとき、発振器10は、所定の周波数を有する発進信号OSCを発生する。クロック信号発生器12は、発振器10から発生された交流信号、即ち発進信号OSCから得られる矩形波信号 (rectangular signal)、即ちクロック信号を電荷ポンプ回路14に供給する。電荷ポンプ回路14は、クロック信号に応じて半導体基板 (不図示) に連結された端子VBBに電荷をポンピングする。その結果、基板バイアス電圧VBBは負の電圧レベル (negative voltage level) になる。

【0013】図2は、図1に示された従来の電荷ポンプ回路の詳細回路図である。図2に示された電荷ポンプ回路14は、“CHARGE PUMP CIRCUIT FOR A SUBSTRATE VOLTAGE GENERATOR OF A SEMICONDUCTOR MEMORY DEVICE” という名称で、米国特許第5,343,088号に掲載されている。図2の電荷ポンプ回路14に対する動作説明は、米国特許第5,343,088号に詳細に掲載されているため、その詳細な説明は省略する。図2に示された電荷ポンプ回路14では、米国特許第5,343,088号に掲載されたように、クロック信号の1サイクルの間に電荷ポンプ動作を2回行うことによって高い電荷ポンピング効率を得ることができる。

【0014】米国特許第5,343,088号に掲載されたように、クロック信号CLK1及びCLK2、又は

CLK3及びCLK4が高レベル (例えば、電源電圧VCC) から低レベル (例えば、接地電圧VSS) に遷移されるとき、ノードA及びB、又はD及びFの電圧レベルは、 $-VCC$  になって、ノードAにゲートが連結されたPMOSトランジスタ42、又はノードFにゲートが連結されたPMOSトランジスタ46がターンオンされる。その結果、端子VBBの電圧は、 $(-VCC + |V_{tp}|)$  ( $V_{tp}$ は、PMOSトランジスタのスレショルド電圧である) まで低くなる。ここで、クロック信号CLK1及びCLK2は、同一の位相を有するが、相異なるパルス幅を有する。また、クロック信号CLK3及びCLK4は同一の位相を有するが、相異なるパルス幅を有する。そして、クロック信号CLK1及びCLK2の位相は、クロック信号CLK3及びCLK4と相補的である。これらの信号の波形は、図3に図示されている。

【0015】MOSトランジスタのスレショルド電圧がデバイスを形成する物質に大きく左右されるため、スレショルド電圧の絶対値大幅に減少させることができないことは、当業者には自明である。半導体メモリ装置の集積度向上に伴って半導体メモリ装置の動作電圧は、徐々に低くなる傾向にある。しかし、動作電圧が低くなっても、半導体メモリ装置の動作特性は、動作電圧が低くなる以前の動作特性がそのまま維持されなければならない。

【0016】ところが、前述のように、ポンピング動作が行われた後の端子VBBの電圧は、 $(-VCC + |V_{tp}|)$  以下まで低くなるわけではない。例えば、電源電圧VCCが5Vであり、PMOSトランジスタのスレショルド電圧が1Vであるとき、端子VBBは、 $-4V$  に維持される。VCC=2Vであるときは、端子VBBは、 $-1V$  に維持される。即ち、従来の基板バイアス電圧発生回路1のポンピング効率は、PMOSトランジスタ42/46のスレショルド電圧に相当する分だけ低下するという問題がある。低い電源電圧下で、動作するDRAM或いは他の種類のメモリ装置において、そのようなポンピング効率の低下に関する問題は、さらに深刻になることは自明である。

【0017】

【発明が解決しようとする課題】 従って、本発明の目的は、高いポンピング効率を有する半導体装置の基板バイアス電圧発生回路を提供することである。

【0018】

【課題を解決するための手段】 上述のような目的を達成するための本発明の1特徴によると、半導体基板上に素子が形成されてなる半導体装置で使用するための基板バイアス電圧を発生する回路において、半導体基板に連結された出力ノードと、電源電圧レベルより高い電圧レベルの期間を含む少なくとも1つの矩形波信号を発生する信号発生手段と、出力ノードに連結され、矩形波信号

を利用して出力ノードに電荷をポンピングする電荷ポンプ回路とを含む。これにより、電荷ポンプ回路のポンプ効率、電源電圧レベルが低くなっても改善される。

【0019】この発明の望ましい実施形態において、信号発生手段は、外部から印加される発振信号に応じて、電源電圧レベルの矩形波信号を発生する四角波信号発生器と、矩形波信号の電圧レベルを電源電圧レベルより高い電圧レベルに変換するレベル変換器とを含む。

【0020】本発明の他の特徴によると、半導体基板上に素子が形成されてなる半導体メモリ装置で使用するための基板バイアス電圧を発生する回路において、半導体基板に連結された出力ノードと、外部から印加される発振信号に応じて、電源電圧レベルの期間を含む少なくとも1つの矩形波信号を発生する信号発生手段と、矩形波信号の電圧レベルを電源電圧レベルより高い電圧レベルに変換する変換手段と、出力ノードに連結されたトランジスタを通して出力ノードからの電荷が供給される端子を有し、高い電圧レベルの矩形波信号に応じて該トランジスタを駆動して、該端子から出力ノードに電荷をポンピングする電荷ポンプ回路とを備える。

【0021】この発明の望ましい実施形態において、変換手段は、レベルシフト回路を含む。

【0022】この発明の望ましい実施形態において、トランジスタは、PMOSトランジスタを含む。

【0023】この発明の望ましい実施形態において、変換手段は、電源電圧を使用して内部的に高い電圧を発生する手段とを含む。

【0024】本発明の更に他の特徴によると、半導体基板上に素子が形成されてなる半導体装置で使用するための基板バイアス電圧を発生する回路において、基板バイアス電圧を出力する出力ノードと、外部から印加される発振信号に応じて、各々が電源電圧レベルを有する第1乃至第4クロック信号を発生するクロック発生回路と、出力ノードに連結されたトランジスタを通して出力ノードからの電荷が供給される端子を有し、第1乃至第4クロック信号に応じて該トランジスタを介して該端子から出力ノードに電荷をポンピングする電荷ポンプ回路とを備え、クロック発生回路は、少なくとも2つの電圧レベル変換器を含み、各電圧レベル変換器は、第1及び第4クロック信号のうち該当するクロック信号の電圧レベルを電源電圧よりさらに高い電圧レベルに変換する。

【0025】この発明の望ましい実施形態において、第1及び第2クロック信号は、同一の位相を有する反面、相異なるパルス幅を有し、第3及び第4クロック信号は、同一の位相を有する反面、相異なるパルス幅を有し、第1及び第2クロック信号の位相は、第3及び第4クロック信号に相補的なことを特徴とする。

【0026】この発明の望ましい実施形態において、高い電圧レベルは、電源電圧レベルとトランジスタのスレショルド電圧との加算値以上である。

【0027】このような装置によって、電荷ポンプ回路に提供されるクロック信号の高レベルが電源電圧より高い電圧レベルで維持される。その結果、トランジスタを介して半導体基板に連結される端子の電圧が負の電源電圧まで十分に低くなる。

【0028】

【発明の実施の形態】本発明の望ましい第1実施形態によるクロック発生回路及び電荷ポンプ回路の詳細回路図が図4に示されている。図4に示されたクロック発生回路120は、例えば、図1に示された基板バイアス発生回路のクロック発生回路12の代わりに使用され得る。また、図4に示された電荷ポンプ回路140は、図1及び図2に示された電荷ポンプ回路と同様の構成を有する。図4に示されたクロック発生回路120は、前段、例えば図1の発進器10から提供される発進信号OSCに応じて第1乃至第4クロック信号CLK1～CLK4を発生する。第1及び第2クロック信号CLK1及びCLK2は同一の位相を有する反面、相異なるパルス幅を有する。第3及び第4クロック信号CLK3及びCLK4は、同一の位相を有する反面、相異なるパルス幅を有する。そして第1及び第2クロック信号CLK1及びCLK2の位相は、第3及び第4クロック信号CLK3及びCLK4と相補的である。これに対する波形が図3に図示されている。

【0029】再び、図4を参照すると、クロック発生回路120は、発進信号OSCを受けるための入力端子159及び第1乃至第4クロック信号CLK1～CLK4を各々出力するための出力端子160a、160b、160c及び160dを含む。

【0030】また、クロック発生回路120は、入力端子159に直列連結された7つのインバータ141～147、インバータ141及び147の出力、インバータ143及び145の出力を各々入力とする2つの2入力NORゲート148、149を含む。また、クロック発生回路120は、インバータ141及び147の出力、インバータ143及び145の出力を各々入力とする2つの2入力NANDゲート150、151を含む。

【0031】また、クロック発生回路120は、NORゲート148の出力と出力端子160aとの間に連結された第1レベル変換器174、NORゲート149の出力と出力端子160bとの間に直列に連結された3つのインバータ152～154、NANDゲート150の出力と出力端子160cとの間に直列に連結された4つのインバータ155～158、及びNANDゲート151の出力と出力端子160dとの間に連結された第2レベル変換器175を含む。

【0032】第1及び第2レベル変換器174及び175は、各々、電源電圧VCCレベルを有するNORゲート148の出力、NANDゲート151の出力を各々入力して、これを電源電圧VCCより高い電圧V<sub>pp</sub>レベル

ルに変換して、その変換結果として、電圧 $V_{pp}$ レベルを有する第1、第4クロック信号 $CLK1$ 、 $CLK4$ を対応する出力端子160a、160dに各々出力する。第2、第3クロック信号 $CLK2$ 、 $CLK3$ の各電圧レベルは、電源電圧 $VCC$ レベルを有する。ここで、電源電圧 $VCC$ より高い電圧 $V_{pp}$ は、DRAM内部で利用される高電圧である。

【0033】第1レベル変換器174は、2つのNMOSトランジスタ161及び163、2つのPMOSトランジスタ164及び165及び2つのインバータ162及び166で構成されている。即ち、第1レベル変換器174は、この分野でよく知られたレベルシフタ(level shifter)で構成されている。インバータ166は、電源として高電圧 $V_{pp}$ が提供される。第2レベル変換器174は、第1レベル変換器174と同一の構成を有するレベルシフタと、電源として高電圧 $V_{pp}$ が提供されるインバータ173で構成される。

【0034】前述されたクロック発生回路120において生成される第1乃至第4クロック信号 $CLK1 \sim CLK4$ は、電荷ポンプ回路140に供給される。電荷ポンプ回路140は、クロック信号 $CLK1 \sim CLK4$ に応じて電荷を半導体基板(不図示)に連結された端子VBBにポンピングする。これに対する動作が、以後詳細に説明される。

【0035】本発明の望ましい第1実施形態に係るクロック発生回路120を含む基板バイアス電圧発生回路では、例えば、図2の電荷ポンプ回路14と同様の構成を有する電荷ポンプ回路140を利用する。

【0036】図4に示された回路構成を有するクロック発生回路120によれば、まず、第1及び第2クロック信号 $CLK1$ 及び $CLK2$ が低レベル(例えば、接地電圧)から高レベルに遷移し、それから所定時間が経過した後に、第3及び第4クロック信号 $CLK3$ 及び $CLK4$ が高レベルから低レベルに遷移する。本発明の望ましい実施形態において、第1及び第4クロック信号の高レベルは、従来技術とは異なり、電源電圧より高い電圧 $V_{pp}$ レベルを有する。

【0037】各クロック信号の遷移に応じて、ノードD及びEは、対応するポンプキャパシタ34及び35によって負の電源電圧( $-VCC$ )レベルになり、ノードFは、対応するポンプキャパシタ36によって負の高電圧( $-V_{pp}$ )レベルになる。その結果、PMOSトランジスタ41、43、44、及び46は、ターンオンされる。以前のクロックサイクルの半周期の間に端子VBBからノードBに流入した電荷は、PMOSトランジスタ43を通して接地端子に放電される。

【0038】又、端子VBBからの電荷は、ターンオンされたPMOSトランジスタ41を通してノードAに伝達されるため、ノードAの電圧は接地電圧 $VSS$ レ

ベルより高く維持される。従って、PMOSトランジスタ42は、ターンオフされ、ノードBは、端子VBBと電気的に絶縁される。端子VBBからの電荷は、PMOSトランジスタ44を通してノードCに伝達されるため、ノードCの電圧は、接地電圧 $VSS$ レベルより高く維持される。従って、PMOSトランジスタ47は、ターンオフされ、ノードDは端子VBBと電気的に絶縁される。順に、PMOSトランジスタ48は、ターンオフされノードEの電圧は負の電源電圧( $-VCC$ )レベルより高く維持される。

【0039】この時点から、端子VBBからの電荷がPMOSトランジスタ46を通してノードDに伝達される。結果的に、半導体基板(不図示)に連結された端子VBBは、負の電源電圧( $-VCC$ )レベルになる。即ち、PMOSトランジスタ46のゲートに印加される電圧(ノードFの電圧)が負の高電圧( $-V_{pp}$ )であるため(このとき、PMOSトランジスタ46のスレシヨルド電圧による影響が現れない)、端子VBBからPMOSトランジスタ46を通してノードDに流入する電荷が従来よりも多くなる。その結果、基板バイアス電圧VBBは、従来の基板バイアス電圧発生回路によって得られるそれよりもさらに低い電圧レベル(即ち、PMOSトランジスタのスレシヨルド電圧に相応する電圧レベル分だけ低い電圧レベル)に維持される。

【0040】その後、第3及び第4クロック信号 $CLK3$ 及び $CLK4$ が低レベル(例えば、接地電圧)から高レベルに遷移し、所定時間が経過した後に、第1及び第2クロック信号 $CLK1$ 及び $CLK2$ が高レベルから低レベルに遷移する。前述のように、各クロック信号の高レベルは、電源電圧(従来の場合)より高い電圧( $V_{pp}$ )レベルを有する。

【0041】このとき、ノードB及びCは、対応するポンプキャパシタ32及び33によって負の電源電圧( $-VCC$ )になり、ノードAは、対応するポンプキャパシタ31によって負の高電圧 $-V_{pp}$ になってPMOSトランジスタ42、45、47、そして48はターンオンされる。このとき、以前のクロックサイクルの半周期の間に端子VBBからノードDに流入した電荷は、PMOSトランジスタ47を通して接地端子に放電される。

【0042】又、端子VBBからの電荷は、PMOSトランジスタ45を通してノードFに伝達されるため、ノードFの電圧は、接地電圧( $VSS$ )レベルより高く維持される。従って、PMOSトランジスタ46は、ターンオフされ、Dは端子VBBと電気的に絶縁される。端子VBBからの電荷は、PMOSトランジスタ48を通してノードEに伝達されるため、ノードEの電圧は、接地電圧 $VSS$ レベルより高く維持される。従って、PMOSトランジスタ44は、ノードCの電圧レベルが負の電源電圧 $-VCC$ レベルより高く維持される

ようにターンオフされる。

【0043】この時点から、端子VBBからの電荷がPMOSトランジスター42を通してノードBに伝達される。結果的に、半導体基板（不図示）に連結された端子VBBは負の電源電圧（ $-V_{CC}$ ）レベルになる。即ち、PMOSトランジスター42のゲートに印加される電圧（ノードAの電圧）が負の高電圧（ $-V_{pp}$ ）であるため（このとき、PMOSトランジスター42のスレショルド電圧に影響が現れない）、端子VBBからPMOSトランジスター42を通してノードBに流入される電荷が従来よりも多くなる。その結果、基板バイアス電圧VBBは、従来の基板バイアス電圧発生回路によって得られるそれよりもさらに低い電圧レベル（即ち、PMOSトランジスター42のスレショルド電圧に相応する電圧レベル分だけ低い電圧レベル）に維持される。

【0044】例えば、電源電圧VCCが2Vであり、高電圧Vppが3.2Vであると仮定する。図5は、このような仮定の下における本発明の実施形態の効果を示す図である。なお、従来技術による基板バイアス電圧はVBB（Prior Art）であり、本実施形態による基板バイアス電圧はVBB（Present Invention）である。第1及び第4クロック信号CLK1及びCLK4の高レベルが電源電圧VCCレベルであるときに得られる従来の基板バイアス電圧VBBレベルは、図5に示されたように、電源電圧VCCより高い電圧レベルであるとき得られる本実施形態の基板バイアス電圧VBBより高い。即ち、本発明の実施形態による基板バイアス電圧発生回路によって得られる基板バイアスVBBレベルは、ほぼ負の電源電圧（ $-V_{CC}$ ）と等しい電圧まで低くなり、電荷ポンプ効率が向上していることが理解される。

【0045】図6は、本発明の望ましい第2実施形態によるクロック発生回路の詳細回路図である。図6において、図4の構成要素と同一機能の構成要素は同一の参照番号で表記され、それに対する説明は省略される。

【0046】第2実施形態によるクロック発生回路も第1実施形態と同一の原理を適用して構成される。即ち、第2実施形態においても、第1及び第4クロック信号CLK1及びCLK4の高レベルを電源電圧VCCの代わりに電源電圧VCCより高い電圧Vppレベルに変換する。第2実施形態が第1実施形態と違う点は、第2実施形態では、クロック発生回路120の内部で高電圧を発生するための回路として、この分野で一般に使用される

第1及び第2レベル変換器174'及び175'を利用したポンピング方式（pumping scheme）が適用されることである。なお、第2実施形態の電荷ポンピング動作が第1実施形態のそれと同一であるため、図6のクロック発生回路及び電荷ポンプ回路に対する動作説明は省略する。

【0047】以上のように、クロック発生回路の内部或いは電荷ポンプ回路の前段に少なくとも1つのレベル変換器を設け、これにより電荷ポンプ回路を駆動するための少なくとも1つのクロック信号を、電源電圧よりも高いレベルの高電圧レベルとすることが好ましい。これにより、例えば、電荷ポンプ回路内のPMOSトランジスター42及び46のスレショルド電圧を変更することなく、半導体装置の基板に連結される端子の電圧をほぼ負の電源電圧レベルまで十分に低くすることができる。

【0048】以上のように、本発明の望ましい実施形態によれば、電荷ポンプ効率が改善され、例えば、基板バイアス電圧を、低い電源電圧（例えば2V）下で要求される電圧レベルに一定に維持することができる。

【0049】

【発明の効果】本発明によれば、ポンピング効率を高めることにより、基板バイアス電圧を低くすることができる。

【図面の簡単な説明】

【図1】従来技術による基板バイアス電圧発生回路の構成を示すブロック図である。

【図2】図1に示された電荷ポンプ回路の詳細回路図である。

【図3】図2のクロック信号のタイミングを示す図面である。

【図4】本発明の望ましい第1実施形態による基板バイアス電圧発生回路の詳細回路図である。

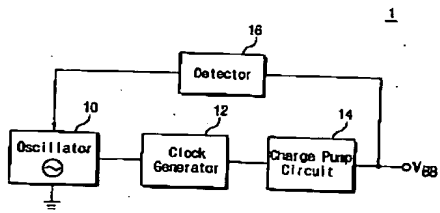
【図5】本発明の望ましい実施形態の基板バイアス電圧発生回路による基板バイアス電圧の変化と従来技術による基板バイアス電圧の変化とを比較した図である。

【図6】本発明の望ましい第2実施形態による基板バイアス電圧発生回路の詳細回路図である。

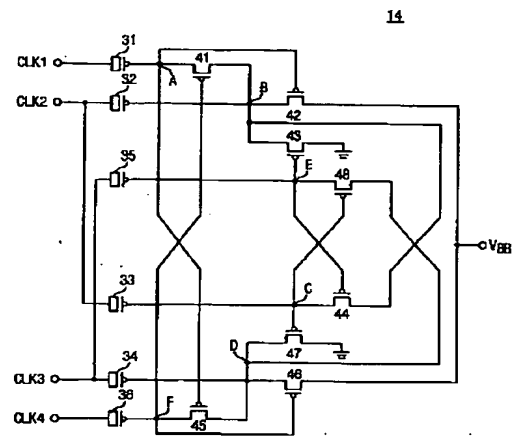
【符号の説明】

- 1 基板バイアス電圧発生回路
- 10 発振器
- 12、120 クロック発生回路
- 14、140 電荷ポンプ回路
- 16 検出器

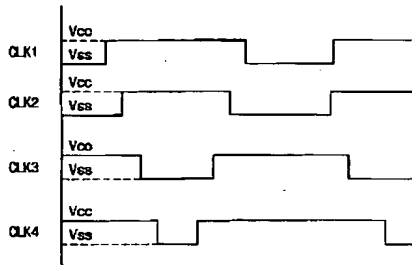
【図 1】



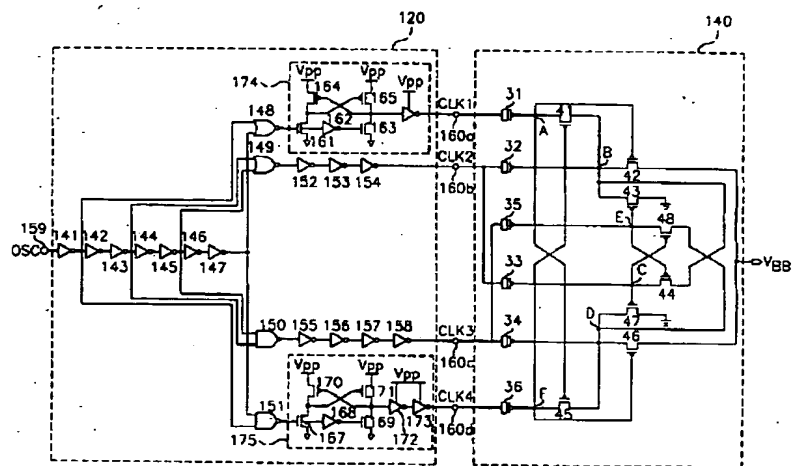
【図 2】



【図 3】

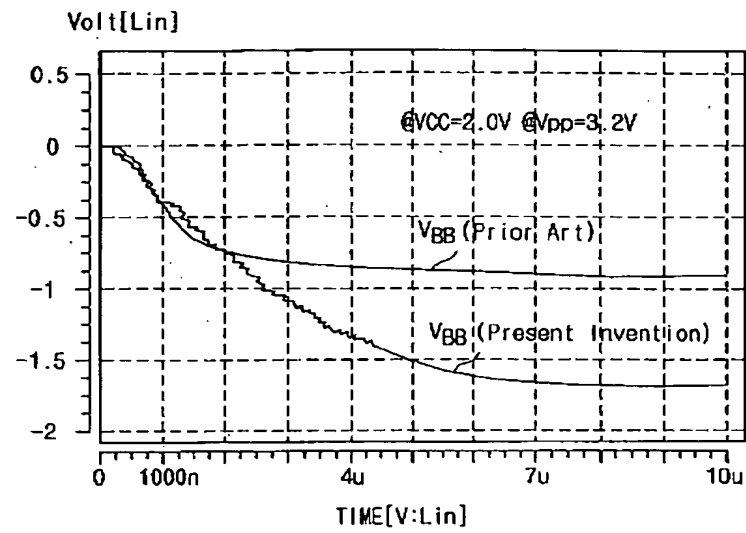


【図 4】





【図5】



【図6】

